



Handwritten signature/initials

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of : Mail Stop Issue Fee
Seong-Jin Jang : [Group Art Unit: 2818]
Application No. 10/734,636 : [Examiner: Christopher B. Shin]
Filed: December 15, 2003 :

INPUT/OUTPUT INTERFACE OF AN INTEGRATED CIRCUIT DEVICE

REQUEST FOR LATE ENTRY
OF CERTIFIED COPY OF PRIORITY APPLICATION

U.S. Patent and Trademark Office
Customer Service Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Sir:

Subsequent to payment of the issue fee on March 13, 2007, in the above-identified application, a request is hereby made to enter the attached certified copy of the foreign application identified below:

Korean Appln. No. 10-2003-0023685, filed April 15, 2003

as acknowledged in the Declaration of the subject application.

The \$130.00 processing fee of 37 C.F.R. 11.17(i) is attached. The Director is hereby authorized to charge any deficiency or credit any overpayment to Deposit Account No. 50-0238.

Respectfully submitted,

VOLENTINE & WHITT, PLLC

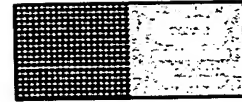
Handwritten signature of Adam C. Volentine
Adam C. Volentine

Registration No. 33,289

Date: March 19, 2007

Customer No. 20987
One Freedom Square
11951 Freedom Drive, Suite 1260
Reston VA 20190
Tel. (571) 283-0720
Fax (571) 283-0740

03/21/2007 MAILED1 00000004 10/34636
01 FC:1464
130.00 UP



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0023685

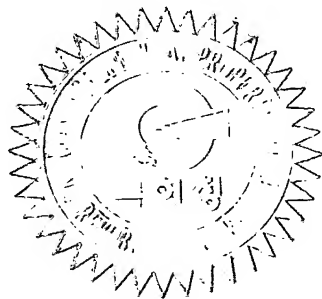
Application Number

출원 년 월 일 : 2003년 04월 15일

Filing Date APR 15, 2003

출원인 : 삼성전자주식회사

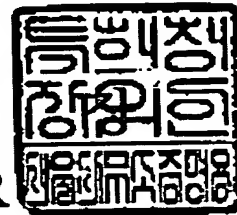
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2007년 03월 14일

특 허 청

COMMISSIONER



◆ This certificate was issued by Korean Intellectual Property Office. Please confirm any forgery or alteration of the contents by an issue number or a barcode of the document below through the KIPOnet- Online Issue of the Certificates' menu of Korean Intellectual Property Office homepage (www.kipo.go.kr). But please notice that the confirmation by the issue number is available only for 90 days.

CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.04.15
【발명의 국문명칭】 집적 회로의 입출력 인터페이스 회로 및 방법
【발명의 영문명칭】 Input and output interface circuit and method of integrated circuit

【출원인】

【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3

【대리인】

【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-054081-9

【발명자】

【성명의 국문표기】 장성진
【성명의 영문표기】 JANG, SEONG JIN
【주민등록번호】 650710-1XXXXXXX
【우편번호】 463-060
【주소】 경기도 성남시 분당구 이매동 122 금강아파트 104-704
【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

박상수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	11	면	11,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	22	항	813,000	원
【합계】	853,000 원			
【첨부서류】	1.요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 집적 회로의 입출력 인터페이스 회로 및 방법을 공개한다. 이 회로는 3레벨을 가지는 2개의 데이터를 입력하여 4비트의 제1데이터를 발생하는 입력 버퍼, 입력 버퍼로부터 출력되는 4비트의 제1데이터를 디코딩하여 3비트의 입력 데이터를 발생하는 디코더, 3비트의 출력 데이터를 인코딩하여 4비트의 제2데이터를 발생하는 인코더, 및 인코더로부터 출력되는 4비트의 제2데이터를 입력하여 3레벨을 가지는 2개의 데이터를 출력하는 출력 버퍼로 구성되어 있다. 따라서, 패드들의 수보다 많은 비트수의 데이터를 발생하는 것이 가능하며, 데이터 입출력 패드들의 수의 증가에 따른 레이아웃 면적 증가를 방지할 수 있다. 또한, 데이터 입출력 핀들의 증가도 방지할 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

집적 회로의 입출력 인터페이스 회로 및 방법{Input and output interface circuit and method of integrated circuit}

【도면의 간단한 설명】

- <1> 도1은 종래의 집적 회로의 입출력 인터페이스 회로의 구성을 나타내는 블록도이다.
- <2> 도2는 도1의 패드를 통하여 입출력되는 2레벨을 가지는 데이터의 각 레벨을 나타내는 것이다.
- <3> 도3은 본 발명의 집적 회로의 입출력 인터페이스 회로의 구성을 나타내는 블록도이다.
- <4> 도4는 본 발명의 집적 회로의 입출력 인터페이스 회로의 실시예의 구성을 나타내는 블록도이다.
- <5> 도5는 도4에 나타난 패드를 통하여 입출력되는 3레벨을 가지는 데이터의 각 레벨을 나타내는 것이다.
- <6> 도6은 도4에 나타난 입력 버퍼들 및 디코더의 실시예의 구성을 나타내는 것이다.
- <7> 도7은 도4에 나타난 출력 버퍼들 및 엔코더의 실시예의 구성을 나타내는 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 집적 회로에 관한 것으로, 특히 집적 회로의 입출력 인터페이스 회로에 관한 것이다.

<9> 종래의 집적 회로의 입출력 인터페이스 회로는 패드를 통하여 입력되는 2레벨을 가지는 데이터를 버퍼하여 1비트의 입력 데이터를 발생하고, 패드를 통하여 출력되는 2레벨을 가지는 데이터를 버퍼하여 1비트의 출력 데이터를 발생한다.

<10> 도1은 종래의 집적 회로의 입출력 인터페이스 회로의 구성을 나타내는 블록도로서, 입출력 인터페이스 회로(100)는 입력 버퍼(10)와 출력 버퍼(12)로 구성되어 있다.

<11> 도1에서, 110은 데이터 입출력 패드를 나타낸다.

<12> 도1에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.

<13> 입력 버퍼(10)는 패드(110)를 통하여 입력되는 데이터(DQ)를 버퍼하여 입력 데이터(DI)를 발생하고, 출력 버퍼(12)는 출력 데이터(DO)를 버퍼하여 데이터(DQ)를 발생한다.

<14> 도2는 도1의 패드를 통하여 입출력되는 2레벨을 가지는 데이터의 각 레벨을 나타내는 것으로, VREF는 기준전압을 나타내고, VIH는 기준전압(VREF)보다 높은 레벨의 데이터를, VIL은 기준전압(VREF)보다 낮은 레벨의 데이터를 나타낸다. 즉, 패

드를 통하여 입출력되는 2레벨을 가지는 데이터는 전압(VIH) 레벨을 가지는 데이터, 또는 전압(VIL) 레벨을 가지는 데이터가 된다.

<15> 도2를 이용하여 도1에 나타낸 입출력 인터페이스 회로의 입력 버퍼 및 출력 버퍼의 동작을 설명하면 다음과 같다.

<16> 입력 버퍼(10)는 패드(110)를 통하여 기준전압(VREF)보다 높은 전압(VIH) 레벨의 데이터(DQ)가 인가되면 전원전압 레벨의 입력 데이터(DI)를 발생하고, 기준전압(VREF)보다 낮은 전압(VIL) 레벨의 데이터(DQ)가 인가되면 접지전압 레벨의 입력 데이터(DI)를 발생한다. 출력 버퍼(12)는 전원전압 레벨의 출력 데이터(DO)가 인가되면 패드(110)를 통하여 전압(VIH) 레벨의 데이터(DQ)를 발생하고, 접지전압 레벨의 출력 데이터(DO)가 인가되면 패드(110)를 통하여 전압(VIL) 레벨의 데이터(DQ)를 발생한다.

<17> 도1에 나타낸 종래의 집적 회로의 입출력 인터페이스 회로는 하나의 패드를 통하여 1비트의 데이터만을 입출력한다.

<18> 따라서, 종래의 집적 회로는 입출력 데이터의 비트수만큼 데이터 입출력 패드들을 구비하여야 되기 때문에 레이아웃 면적의 증가를 유발하게 되며, 많은 수의 데이터가 동시에 입출력됨으로 인해서 전원 노이즈 및 전력 소모가 증가하게 된다는 문제점이 있었다. 또한, 데이터 입출력 패드들의 증가는 데이터 입출력 핀들의 증가를 가져오게 된다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명의 목적은 하나의 패드를 통하여 입출력되는 데이터의 비트수를 증가할 수 있는 집적 회로의 입출력 인터페이스 회로를 제공하는데 있다.
- <20> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 집적 회로의 입출력 인터페이스 회로의 인터페이스 방법을 제공하는데 있다.
- <21> 상기 목적을 달성하기 위한 본 발명의 집적 회로의 입출력 인터페이스 회로는 k (3이상의 정수)개의 레벨을 가지는 n (n 은 2이상의 정수)개의 데이터를 조합하여 m (n 보다 큰 정수)비트의 입력 데이터를 발생하는 입력 인터페이스 수단, 및 m 비트의 출력 데이터를 조합하여 상기 k 개의 레벨을 가지는 n 개의 데이터를 발생하는 출력 인터페이스 수단을 구비하고, 상기 k^n 이 2^m 보다 큰 것을 특징으로 한다.
- <22> 상기 목적을 달성하기 위한 본 발명의 집적 회로의 입출력 인터페이스 회로의 한 형태는 3레벨을 가지는 2개의 데이터를 입력하여 4비트의 제1데이터를 발생하는 입력 버퍼, 상기 입력 버퍼로부터 출력되는 4비트의 제1데이터를 디코딩하여 3비트의 입력 데이터를 발생하는 디코더, 3비트의 출력 데이터를 인코딩하여 4비트의 제2데이터를 발생하는 인코더, 및 상기 인코더로부터 출력되는 4비트의 제2데이터를 입력하여 상기 3레벨을 가지는 2개의 데이터를 출력하는 출력 버퍼를 구비하는 것을 특징으로 한다.
- <23> 상기 다른 목적을 달성하기 위한 본 발명의 집적 회로의 입출력 인터페이스 방법은 데이터 입력시에 k (3이상의 정수)개의 레벨을 가지는 n (n 은 2이상의 정수)

개의 데이터를 조합하여 m (n 보다 큰 정수)비트의 입력 데이터를 발생하는 단계, 및 데이터 출력시에 m 비트의 출력 데이터를 조합하여 상기 k 개의 레벨을 가지는 n 개의 데이터를 발생하는 단계를 구비하고, 상기 k^n 이 2^n 보다 큰 것을 특징으로 한다.

<24> 상기 다른 목적을 달성하기 위한 본 발명의 집적 회로의 입출력 인터페이스 방법의 한 형태는 데이터 입력시에 3레벨을 가지는 2개의 데이터를 입력하여 4비트의 제1데이터를 각각 발생하고, 상기 4비트의 제1데이터를 디코딩하여 3비트의 입력 데이터를 발생하는 데이터 입력 단계, 및 데이터 출력시에 3비트의 출력 데이터를 인코딩하여 4비트의 제2데이터를 발생하고, 상기 4비트의 제2데이터를 입력하여 3레벨을 가지는 2개의 데이터를 출력하는 데이터 출력 단계를 구비하는 것을 특징으로 한다.

<25> 상기 데이터 입력 단계는 상기 3레벨의 가지는 2개의 데이터가 "00"이면 "0000"인, "0M"("M"은 "0"과 "1"의 중간 레벨의 데이터)이면 "0001"인, "MM"이면 "0101"인, "M1"이면 "0111"인, "M0"이면 "0100"인, "10"이면 "1100"인, "1M"이면 "1101"인, "11"이면 "1111"인 상기 4비트의 제1데이터를 발생하는 것을 특징으로 하고,

<26> 상기 4비트의 제1데이터가 "0000"이면 "000"인, "0001"이면 "001"인, "0101"이면 "010"인, "0111"이면 "011"인, "0100"이면 "100"인, "1100"이면 "101"인, "1101"이면 "110"인, "1111"이면 "111"인 상기 입력 데이터를 발생하는 것을 특징으로 한다.

<27> 상기 데이터 출력 단계는 상기 3비트의 출력 데이터가 "000"이면 "1111"인, "001"이면 "1101"인, "010"이면 "0101"인, "011"이면 "0100"인, "100"이면 "0111"인, "101"이면 "0011"인, "110"이면 "0001"인, "111"이면 "0000"인 상기 4비트의 제2데이터를 발생하는 것을 특징으로 하고,

<28> 상기 4비트의 제2데이터가 "1111"이면 "00"인, "1101"이면 "0M"("M"은 "0"과 "1"의 중간 레벨의 데이터)인, "0101"이면 "MM"인, "0100"이면 "M1"인, "0111"이면 "M0"인, "0011"이면 "10"인, "0001"이면 "1M"인, "0000"이면 "11"인 상기 3레벨을 가지는 2개의 데이터를 발생하는 것을 특징으로 한다.

【발명의 구성】

<29> 이하, 첨부한 도면을 참고로 하여 본 발명의 집적 회로의 입출력 인터페이스 회로 및 방법을 설명하면 다음과 같다.

<30> 도3은 본 발명의 집적 회로의 입출력 인터페이스 회로의 구성을 나타내는 블록도로서, 입출력 인터페이스 회로(200)는 입력 인터페이스 회로(20)와 출력 인터페이스 회로(22)로 구성되어 있다.

<31> 도3에서, 210-1 ~ 210-n는 데이터 입출력 패드들을 나타낸다. 그리고, 데이터(DQ1 ~ DQn)는 k개의 레벨을 가지는 데이터이고, k는 3이상의 정수이고, n은 2이상의 정수이고, m은 3이상의 정수이고, m은 n보다 큰 정수이다.

<32> 도3에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.

<33> 입력 인터페이스 회로(20)는 n개의 패드들(210-1 ~ 210-n)을 통하여 입력되

는 k개의 레벨을 가진 n개의 데이터(DQ1 ~ DQn)를 조합하여 m비트의 입력 데이터(DI1 ~ DI_m)를 발생한다. 출력 인터페이스 회로(22)는 m비트의 출력 데이터(DO1 ~ DO_m)를 조합하여 k개의 레벨을 가진 n개의 데이터(DQ1 ~ DQn)를 발생한다.

<34> 그리고, 도3에 나타낸 본 발명의 집적 회로의 입출력 인터페이스 회로(200)는 k^n 이 2^m 보다 크도록 설계되어야 한다.

<35> 따라서, 3개의 데이터 입출력 패드들을 구비하고 각 패드를 통하여 3레벨을 가지는 3개의 데이터(DQ1 ~ DQ3)가 입출력되는 경우에 입출력 인터페이스 회로(200)는 4비트의 출력 및 입력 데이터를 입출력하고, 2개의 데이터 입출력 패드들을 구비하고 각 패드를 통하여 5레벨을 가지는 2개의 데이터(DQ1, DQ2)가 입출력되는 경우에 입출력 인터페이스 회로(200)는 3비트 혹은 4비트의 출력 및 입력 데이터를 입출력한다.

<36> 결과적으로, 본 발명의 집적 회로의 입출력 인터페이스 회로는 2개이상의 패드들을 통하여 입력되는 3레벨이상을 가지는 2개이상의 데이터를 조합하여 3이상의 비트수를 가지는 입력 데이터를 발생하고, 3이상의 비트수를 가지는 출력 데이터를 조합하여 3레벨이상을 가지는 2개이상의 데이터를 2개이상의 패드들을 통하여 출력한다. 따라서, 데이터 입출력 패드들을 통하여 입출력되는 데이터의 비트수는 1보다 큰 비트수의 데이터가 된다.

<37> 도4는 본 발명의 집적 회로의 입출력 인터페이스 회로의 실시예의 구성을 나타내는 블록도로서, 입출력 인터페이스 회로(300)의 입력 인터페이스 회로(300-

1)는 입력 버퍼들(30-1, 30-2) 및 디코더(32)로 구성되고, 출력 인터페이스 회로(300-2)는 출력 버퍼들(34-1, 34-2) 및 엔코더(36)로 구성되어 있다.

<38> 도4에서, 310-1, 310-2는 데이터 입출력 패드들을 나타낸다.

<39> 도4에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<40> 입력 버퍼들(30-1, 30-2) 각각은 패드들(310-1, 310-2)을 통하여 입력되는 3레벨을 가지는 데이터를 입력하고, 3레벨을 가지는 데이터와 기준전압들(VREF1, VREF2)을 각각 비교하여 2개의 2비트씩의 데이터((di1, 2), (di3, 4))를 각각 발생한다. 디코더(22)는 입력 버퍼들(20-1, 20-2)로부터 출력되는 4비트의 데이터(di1, 2, 3, 4)를 디코딩하여 3비트의 입력 데이터(DI1 ~ 3)를 발생한다. 즉, 데이터 입력시에 2개의 패드들(310-1, 310-2)을 통하여 입력되는 2개의 3레벨을 가지는 데이터를 입력하여 3비트의 입력 데이터(DI1 ~ 3)를 발생한다.

<41> 엔코더(26)는 3비트의 출력 데이터(DO1 ~ 3)를 엔코딩하여 2개의 2비트씩의 데이터((do1, 2), (do3, 4))를 각각 발생한다. 출력 버퍼들(34-1, 34-2) 각각은 2비트씩의 데이터((do1, 2), (do3, 4))를 각각 입력하여 3레벨을 가지는 데이터를 발생한다. 즉, 데이터 출력시에 3비트의 출력 데이터(DO1 ~ 3)를 입력하여 2개의 3레벨을 가지는 데이터를 패드들(310-1, 310-2)을 통하여 출력한다.

<42> 상술한 바와 같이 본 발명의 집적 회로의 입출력 인터페이스 회로는 2개의 패드들을 통하여 3비트의 데이터를 입출력하기 때문에 하나의 패드당 입출력할 수 있는 데이터의 수가 1.5비트가 되므로 2레벨을 가지는 데이터를 입출력하는 경우에

비해서 데이터 입출력 패드들의 수를 2/3로 줄일 수 있다.

<43> 도5는 도4에 나타낸 집적 회로의 입출력 인터페이스 회로의 패드를 통하여 입출력되는 3레벨을 가지는 데이터의 각 레벨을 나타내는 것으로, VREF1, VREF2는 기준전압을 나타내고, VIH는 기준전압(VREF1)보다 높은 레벨의 데이터를, VIM은 기준전압(VREF1)과 기준전압(VREF2)사이의 레벨의 데이터를, VIL은 기준전압(VREF2)보다 낮은 레벨의 데이터를 각각 나타낸다. 즉, 패드를 통하여 입출력되는 3레벨을 가지는 데이터는 전압(VIH) 레벨을 가지는 데이터, 전압(VIM) 레벨을 가지는 데이터, 또는 전압(VIL) 레벨을 가지는 데이터가 된다.

<44> 도5를 이용하여 도4에 나타낸 본 발명의 집적 회로의 입출력 인터페이스 회로의 입력 버퍼들의 동작을 설명하면 다음과 같다.

<45> 도4에 나타낸 입력 버퍼들(20-1, 20-2) 각각은 2개의 3레벨을 가지는 데이터(DQ1, DQ2) 각각과 기준전압들(VREF1, VREF2) 각각을 비교하여 2개의 2비트씩의 데이터((di1, di2), (di3, di4))를 발생한다.

<46> 도6은 도4에 나타낸 입력 버퍼들 및 디코더의 실시예의 구성을 나타내는 것으로, 입력 버퍼(30-1)는 비교기들(30-11, 30-12)로 구성되고, 입력 버퍼(30-2)는 비교기들(30-21, 30-22)로 구성되고, 디코더(32)는 인버터들(I1, I2, I3, I4), AND 게이트들(AND1, AND2, AND3, AND4), 및 OR게이트들(OR1, OR2)로 구성되어 있다.

<47> 아래의 표1은 도6에 나타낸 구성의 입력 버퍼들(30-1, 30-2)로 인가되는 데이터(DQ1, DQ2), 입력 버퍼들(30-2, 30-2) 각각으로부터 출력되는 데이터(di1, di2, di3, di4), 및 디코더(32)로부터 출력되는 입력 데이터(DI1, DI2, DI3)의 상

태를 나타내는 것으로, 표1을 이용하여 도6에 나타낸 구성의 동작을 설명하면 다음과 같다.

【표 1】

DQ1	DQ2	di1	di2	di3	di4	DI1	DI2	DI3
0	0	0	0	0	0	0	0	0
0	M	0	0	0	1	0	0	1
M	M	0	1	0	1	0	1	0
M	1	0	1	1	1	0	1	1
M	0	0	1	0	0	1	0	0
1	0	1	1	0	0	1	0	1
1	M	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1	1

<48>

<49> 상기 표1에서, "1"로 나타낸 것은 기준전압(VREF1)보다 높은 전원전압 레벨의 데이터를, "0"로 나타낸 것은 기준전압(VREF2)보다 낮은 접지전압 레벨의 데이터를, "M"으로 나타낸 것은 기준전압(VREF1)과 기준전압(VREF2)사이의 레벨인 전원전압/2 레벨의 데이터를 각각 나타낸다.

<50> 비교기(30-11)는 기준전압(VREF1)과 데이터(DQ1)를 비교하여 데이터(di1)를 발생한다. 비교기(30-11)는 "0"의 데이터(DQ1)가 입력되면 "0"의 데이터(di1)를 발

생하고, "M"의 데이터가 입력되면 "0"의 데이터(di1)를 발생하고, "1"의 데이터가 입력되면 "1"의 데이터(di1)를 발생한다. 비교기(30-12)는 기준전압(VREF2)과 데이터(DQ1)를 비교하여 데이터(di2)를 발생한다. 비교기(30-12)는 "0"의 데이터(DQ1)가 입력되면 "0"의 데이터(di2)를 발생하고, "M"의 데이터(DQ1)가 입력되면 "1"의 데이터(di2)를 발생하고, "1"의 데이터(DQ1)가 입력되면 "1"의 데이터(di2)를 발생한다. 그리고, 비교기(30-21)는 기준전압(VREF2)과 데이터(DQ2)을 비교하여 데이터(DQ2)의 레벨에 따라 "0", "0", "1"의 데이터(di3)를 발생하고, 비교기(30-22)는 기준전압(VREF2)과 데이터(DQ2)을 비교하여 데이터(DQ2)의 레벨에 따라 "0", "1", "1"의 데이터(di4)를 발생한다.

<S1> 따라서, 비교기들(30-11, 30-12, 30-21, 30-22)은 "00"의 데이터(DQ1, DQ2)가 입력되면 "0000"의 데이터(di1, di2, di3, di4)를 발생하고, "M1"의 데이터(DQ1, DQ2)가 입력되면 "0111"의 데이터(di1, di2, di3, di4)를 발생한다. 비교기들(30-11, 30-12, 30-21, 30-22)은 상기 표1에 나타난 바와 같은 3레벨을 가지는 데이터(DQ1, DQ2)를 입력하여 4비트의 데이터(di1, di2, di3, di4)를 발생한다.

<S2> 그리고, 디코더(32)는 아래의 논리식에 나타난 바와 같은 동작을 수행함에 의해서 4비트의 데이터(di1, di2, di3, di4)를 디코딩하여 3비트의 입력 데이터(DI1, DI2, DI3)를 발생한다.

$$DI1 = di1 + \overline{di1} \cdot di2 \cdot \overline{di3} \cdot \overline{di4}$$

$$DI2 = di2 \cdot di4$$

$$DI3 = di3 + \overline{di2} \cdot di4 + di1 \cdot \overline{di4}$$

<S3>

<54> 상기 식에서, \cdot 는 논리곱 연산을, $+$ 는 논리합 연산을 각각 나타내고, $\overline{\text{RM di1}}$ 는 데이터(di1)를 반전한 신호를, $\overline{\text{RM di2}}$ 는 데이터(di2)를 반전한 신호를, $\overline{\text{RM di3}}$ 는 데이터(di3)를 반전한 신호를, $\overline{\text{RM di4}}$ 는 데이터(di4)를 반전한 신호를 각각 나타낸다.

<55> 디코더(32)는 데이터(di1)가 "1"인 경우 또는 데이터(di1, di2, di3, di4)가 "0100"인 경우에 "1"의 입력 데이터(DI1)를 발생하고, 데이터(di2, di4)가 모두 "1"인 경우에 "1"의 입력 데이터(DI2)를 발생한다. 그리고, 데이터(di3)가 "1"인 경우, 데이터(di2, di4)가 "01"인 경우, 또는 데이터(di1, di4)가 "10"인 경우에 "1"의 입력 데이터(DI3)를 발생한다.

<56> 도6에서, AND게이트(AND1)는 "0100"의 데이터(di1, di2, di3, di4)를 검출하고, OR게이트(OR1)는 데이터(di1)가 "1"인 경우 또는 AND게이트(AND1)의 출력 데이터가 "1"인 경우에 "1"인 입력 데이터(di1)를 발생한다. AND게이트(AND2)는 데이터(di2, di4)가 모두 "1"인 경우에 "1"의 입력 데이터(di2)를 발생한다. AND게이트(AND3)는 데이터(di2, di4)가 "01"인 경우를 검출하고, AND게이트(AND4)는 데이터(di1, di4)가 "10"인 경우를 검출하고, OR게이트(OR2)는 데이터(di3)가 "1"인 경우, AND게이트(AND3)의 출력 데이터가 "1"인 경우, 또는 AND게이트(AND4)의 출력 데이터가 "1"인 경우에 "1"의 입력 데이터(DI3)를 발생한다.

<57> 즉, 본 발명의 디코더(32)는 상기 식에 나타난 바와 같은 연산을 수행하여 4비트의 데이터(di1, di2, di3, di4)를 디코딩하여 3비트의 입력 데이터(DI1, DI2, DI3)를 발생한다.

<58>

도7은 도4에 나타난 출력 버퍼들 및 엔코더의 실시예의 구성을 나타내는 것으로, 엔코더(36)는 인버터들(I5, I6), NOR게이트들(NOR1, NOR2), AND게이트들(AND5, AND6, AND7), NAND게이트들(NA1, NA2), 및 OR게이트들(OR3, OR4)로 구성되어, 출력 버퍼(34-1)는 PMOS트랜지스터(P1)와 NMOS트랜지스터(N1)로 구성되고, 출력 버퍼(34-2)는 PMOS트랜지스터(P2)와 NMOS트랜지스터(N2)로 구성되어 있다.

<59>

아래의 표2는 도7에 나타난 회로의 출력 데이터(D01, D02, D03), 엔코더(36)로부터 출력되는 데이터(do1, do2, do3, do4), 및 데이터(DQ1, DQ2)의 상태를 나타내는 것으로, 아래의 표2를 이용하여 도7에 나타난 회로의 동작을 설명하면 다음과 같다.

【표 2】

D01	D02	D03	do1	do2	do3	do4	DQ1	DQ2
0	0	0	1	1	1	1	0	0
0	0	1	1	1	0	1	0	M
0	1	0	0	1	0	1	M	M
0	1	1	0	1	0	0	M	1
1	0	0	0	1	1	1	M	0
1	0	1	0	0	1	1	1	0
1	1	0	0	0	0	1	1	M
1	1	1	0	0	0	0	1	1

<60>

<61>

상기 표2에서, "1"로 나타난 것은 전원전압 레벨의 데이터를, "0"로 나타난 것을 접지전압 레벨의 데이터를, "M"으로 나타난 것은 전원전압/2 레벨의 데이터를

각각 나타낸다.

<62> 엔코더(36)는 아래의 논리식에 나타낸 바와 같은 동작을 수행함에 의해서 3 비트의 출력 데이터(D01, D02, D03)를 입력하여 4비트의 데이터(do1, do2, do3, do4)를 발생한다.

$$do1 = \overline{D01 + D02}$$

$$do2 = \overline{D01 \cdot D02 \cdot \overline{D01 \cdot D02 \cdot D03}}$$

$$do3 = D01 \cdot \overline{D02} + \overline{D01 + D02 + D03}$$

$$do4 = \overline{D01 + D02} + D01 \cdot \overline{D02} + D02 \cdot \overline{D03}$$

<63>

<64> 상기 식에서, \cdot 는 논리곱 연산을, $+$ 는 논리합 연산을 각각 나타내고, 오버 라인(overline)은 반전한 것을 나타낸다.

<65> 엔코더(36)는 출력 데이터(D01, D02)가 모두 "0"인 경우에 "1"의 데이터 (do1)를 발생하고, 출력 데이터(D01, D02)가 "00", "01", "10"이고, 출력 데이터 (D01, D02, D03)가 "101"이 아닌 경우에 "1"의 데이터(do2)를 발생하고, 출력 데이터(D01, D02)가 "10"인 경우 또는 출력 데이터(D01, D02, D03)가 "000"인 경우에 "1"의 데이터(do3)를 발생하고, 출력 데이터(D01, D02)가 모두 "0"인 경우, "10"인 경우, 또는 출력 데이터(D02, D03)가 "10"인 경우에 "1"의 데이터(do4)를 발생한다.

<66> 도7에서, NOR게이트(NOR1)는 "00"의 출력 데이터(D01, D02)를 검출하여 "1"의 데이터(do1)를 발생하고, NAND게이트(NA1)는 "00", "01", "10"의 출력 데이터

(D01, D02)를 검출하고, NAND게이트(NA2)는 "101"의 출력 데이터(D01, D02, D03)를 검출한다. AND게이트(AND5)는 NAND게이트(NA1)와 NAND게이트(NA2)의 출력 데이터가 모두 "1"인 경우에 "1"의 데이터(do2)를 발생한다. AND게이트(AND6)는 "10"의 출력 데이터(D01, D02)를 검출하고, NOR게이트(NOR2)는 "000"의 출력 데이터(D01, D02, D03)를 검출한다. OR게이트(OR3)는 AND게이트(AND6)의 출력 데이터 또는 NOR게이트(NOR3)의 출력 데이터가 "1"인 경우에 "1"의 데이터(do3)를 발생한다. AND게이트(AND7)는 "10"의 출력 데이터(D02, D03)를 검출한다. OR게이트(OR4)는 NOR게이트(NOR1)의 출력 데이터가 "1"인 경우, AND게이트(AND6)의 출력 데이터가 "1"인 경우, 또는 AND게이트(AND7)의 출력 데이터가 "1"인 경우에 "1"의 데이터(do4)를 발생한다.

<67> 즉, 본 발명의 엔코더(36)는 상기 식에 나타낸 바와 같은 연산을 수행하여 3 비트의 출력 데이터(D01, D02, D03)를 엔코딩하여 상기 표2에 나타낸 바와 같은 4 비트의 데이터(do1, do2, do3, do4)를 발생한다.

<68> 출력 버퍼(34-1)는 데이터(do1, do2)가 "11"이면 PMOS트랜지스터(P1)가 오프 되고 NMOS트랜지스터(N1)가 온되어 "0"의 데이터(DQ1)를 발생하고, "00"이면 PMOS트랜지스터(P1)가 온되고 NMOS트랜지스터(N1)가 오프되어 "1"의 데이터(DQ1)를 발생하고, "01"이면 PMOS트랜지스터(P1)와 NMOS트랜지스터(N1)가 모두 온되어 "M"의 데이터(DQ1)를 발생한다. 출력 버퍼(34-2) 또한 출력 버퍼(34-1)와 동일한 동작을 수행하여 데이터(do3, do4)가 "11"이면 "0"의 데이터(DQ2)를, "00"이면 "1"의 데이터(DQ2)를, "01"이면 "M"의 데이터(DQ2)를 발생한다.

<69> 본 발명의 출력 버퍼들(34-1, 34-2)은 4비트의 데이터(do1, do2, do3, do4)를 입력하여 상기 표에 나타낸 바와 같은 2개의 3레벨을 가지는 데이터(DQ1, DQ2)를 발생한다.

<70> 상술한 실시예의 본 발명의 집적 회로의 입출력 인터페이스 회로는 2개의 패드들을 통하여 입력되는 2개의 3레벨을 가지는 데이터를 3비트의 입력 데이터로 변환하고, 3비트의 출력 데이터를 변환하여 2개의 3레벨을 가지는 데이터로 변환하여 2개의 패드들을 통하여 출력한다. 그래서, 하나의 패드당 1.5비트의 데이터를 전송하는 것이 가능하다. 따라서, 36개의 데이터를 입출력하는 집적 회로를 제조하는 경우에 종래에는 36개의 데이터 입출력 패드들을 구비하여야만 36개의 데이터를 입출력할 수 있었지만, 본 발명의 실시예에 따르면, 24개의 데이터 입출력 패드들을 구비하더라도 36개의 데이터를 입출력하는 것이 가능하다.

<71> 본 발명의 집적 회로의 입출력 인터페이스 회로는 상술한 실시예에만 국한되는 것은 아니며 도3에 나타낸 바와 같이 2개이상의 패드들을 통하여 입력되는 2개이상의 3레벨이상을 가지는 데이터를 조합하여 3비트이상의 입력 데이터를 발생하고, 3비트이상의 출력 데이터를 입력하여 2개이상의 3레벨이상을 가지는 데이터를 발생하는 것이 가능하다.

<72> 그리고, 상술한 실시예에서는 데이터 입출력 패드를 이용하여 설명하였으나, 본 발명의 입출력 인터페이스 회로는 데이터를 입출력하는 경우에만 이용되는 것은 아니며, 어드레스 및 명령어를 입력하는 경우에도 이용가능하다. 어드레스 및 명령어를 입력하는 경우에는 어드레스 및 명령어 패드에 입력 인터페이스 회로를 연결

하여 사용하면 된다.

<73> 또한, 상술한 실시예에서는 집적 회로가 데이터 입출력 패드들을 구비하고, 입력 인터페이스 회로 및 출력 인터페이스 회로가 데이터 입출력 패드들에 공통으로 연결되는 구성을 나타내었으나, 집적 회로가 데이터 입력 패드들과 데이터 출력 패드들을 별도로 구비하고, 입력 인터페이스 회로가 데이터 입력 패드들에 연결되고, 출력 인터페이스 회로가 데이터 출력 패드들에 연결되는 구성도 가능하다.

<74> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<75> 본 발명의 집적 회로의 입출력 인터페이스 회로 및 방법은 패드들의 수보다 많은 비트수의 데이터를 발생하는 것이 가능하다.

<76> 따라서, 데이터 입출력 패드들의 수를 증가함이 없이 내부적으로 많은 비트수의 데이터를 발생할 수 있으므로 데이터 입출력 패드들의 수의 증가에 따른 레이아웃 면적 증가를 방지할 수 있다. 또한, 데이터 입출력 패드들 뿐만 아니라 데이터 입출력 핀들의 증가도 방지할 수 있다.

【특허청구범위】

【청구항 1】

k (3이상의 정수)개의 레벨을 가지는 n (n 은 2이상의 정수)개의 데이터를 조합하여 m (n 보다 큰 정수)비트의 입력 데이터를 발생하는 입력 인터페이스 수단; 및

m 비트의 출력 데이터를 조합하여 상기 k 개의 레벨을 가지는 n 개의 데이터를 발생하는 출력 인터페이스 수단을 구비하고,

상기 k^n 이 2^m 보다 큰 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 2】

제1항에 있어서, 상기 입출력 인터페이스 회로는

n 개의 데이터 입출력 패드들을 구비하여,

상기 입력 인터페이스 수단으로 입력되는 상기 k 개의 레벨을 가지는 n 개의 데이터를 상기 n 개의 데이터 입출력 패드들을 통하여 입력하고, 상기 출력 인터페이스 수단으로부터 출력되는 상기 k 개의 레벨을 가지는 n 개의 데이터를 상기 n 개의 데이터 입출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 3】

제1항에 있어서, 상기 입출력 인터페이스 회로는

n 개의 데이터 입력 패드들; 및

n 개의 데이터 출력 패드들을 구비하여,

상기 입력 인터페이스 수단으로 입력되는 상기 k 개의 레벨을 가지는 n 개의 데이터를 상기 n 개의 데이터 입력 패드들 통하여 입력하고, 상기 출력 인터페이스 수단으로부터 출력되는 상기 k 개의 레벨을 가지는 n 개의 데이터를 상기 n 개의 데이터 출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 4】

데이터 입력시에 k (3이상의 정수)개의 레벨을 가지는 n (n 은 2이상의 정수)개의 데이터를 조합하여 m (n 보다 큰 정수)비트의 입력 데이터를 발생하는 단계; 및

데이터 출력시에 m 비트의 출력 데이터를 조합하여 상기 k 개의 레벨을 가지는 n 개의 데이터를 발생하는 단계를 구비하고,

상기 k^n 이 2^m 보다 큰 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 5】

제4항에 있어서, 상기 입출력 인터페이스 방법은

상기 데이터 입력시에 상기 k 개의 레벨을 가지는 n 개의 데이터를 n 개의 데이터 입출력 패드들을 통하여 입력하고, 상기 데이터 출력시에 상기 k 개의 레벨을 가지는 n 개의 데이터를 상기 n 개의 데이터 입출력 패드들을 통하여 출력하는 것을 특

정으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 6】

제4항에 있어서, 상기 입출력 인터페이스 방법은

상기 데이터 입력시에 상기 k개의 레벨을 가지는 n개의 데이터를 n개의 데이터 입력 패드들을 통하여 입력하고, 상기 데이터 출력시에 상기 k개의 레벨을 가지는 n개의 데이터를 상기 n개의 데이터 출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 7】

3레벨을 가지는 2개의 데이터를 입력하여 4비트의 제1데이터를 발생하는 입력 버퍼;

상기 입력 버퍼로부터 출력되는 4비트의 제1데이터를 디코딩하여 3비트의 입력 데이터를 발생하는 디코더;

3비트의 출력 데이터를 인코딩하여 4비트의 제2데이터를 발생하는 인코더; 및

상기 인코더로부터 출력되는 4비트의 제2데이터를 입력하여 상기 3레벨을 가지는 2개의 데이터를 출력하는 출력 버퍼를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 8】

제7항에 있어서, 상기 입출력 인터페이스 회로는

2개의 데이터 입출력 패드들을 구비하여,

상기 입력 버퍼로 입력되는 상기 3레벨을 가지는 2개의 데이터를 상기 2개의 데이터 입출력 패드들을 통하여 입력하고, 상기 출력 버퍼로부터 출력되는 상기 3레벨을 가지는 2개의 데이터를 상기 2개의 데이터 입출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 9】

제7항에 있어서, 상기 입출력 인터페이스 회로는

2개의 데이터 입력 패드들; 및

2개의 데이터 출력 패드들을 구비하여,

상기 입력 버퍼로 입력되는 상기 3레벨을 가지는 2개의 데이터를 상기 2개의 데이터 입력 패드들을 통하여 입력하고, 상기 출력 버퍼로부터 출력되는 상기 3레벨을 가지는 2개의 데이터를 상기 2개의 데이터 출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 10】

제7항에 있어서, 상기 입력 버퍼는

상기 3레벨을 가지는 2개의 데이터중 하나의 데이터를 제1기준전압(전원전압과 전원전압/2 사이의 전압) 및 제2기준전압(전원전압/2과 접지전압사이의 전압)과 각각 비교하여 2비트의 데이터를 발생하는 제1입력 버퍼; 및

상기 3레벨을 가지는 2개의 데이터중 다른 하나의 데이터를 상기 제1기준전

압 및 상기 제2기준전압과 비교하여 2비트의 데이터를 발생하는 제2입력 버퍼를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 11】

제10항에 있어서, 상기 제1입력 버퍼는

상기 3레벨을 가지는 2개의 데이터중 하나의 데이터와 상기 제1기준전압을 비교하는 제1비교기; 및

상기 3레벨을 가지는 2개의 데이터중 다른 하나의 데이터와 상기 제2기준전압을 비교하는 제2비교기를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 12】

제10항에 있어서, 상기 제2입력 버퍼는

상기 3레벨을 가지는 2개의 데이터중 다른 하나의 데이터와 상기 제1기준전압을 비교하는 제3비교기; 및

상기 3레벨을 가지는 2개의 데이터중 다른 하나의 데이터와 상기 제2기준전압을 비교하는 제2비교기를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 13】

제7항에 있어서, 상기 디코더는

상기 4비트의 제1데이터중 제1비트 데이터가 "1"인 경우 또는 제1, 2, 3, 4

비트 데이터가 "0100"인 경우에 상기 3비트의 입력 데이터중 제1비트 데이터로 "1"을 발생하는 제1조합 회로;

상기 4비트의 제1데이터중 제2비트 및 제4비트 데이터가 모두 "1"인 경우에 상기 3비트의 입력 데이터중 제2비트 데이터로 "1"을 발생하는 제2조합 회로; 및

상기 4비트의 제1데이터중 제3비트 데이터가 "1"인 경우, 제2 및 제4비트 데이터가 "01"인 경우, 또는 제1 및 제4비트 데이터가 "10"인 경우에 상기 3비트의 입력 데이터중 제3비트 데이터로 "1"을 발생하는 제3조합 회로를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 14】

제7항에 있어서, 상기 엔코더는

상기 3비트의 출력 데이터중 제1 및 제2비트 데이터가 모두 "0"인 경우에 상기 4비트의 제2데이터중 제1비트 데이터로 "1"을 발생하는 제4조합 회로;

상기 3비트의 출력 데이터중 제1 및 제2비트 데이터가 "00", "01", "10"이고, 제1, 제2, 및 제3비트 데이터가 "101"이 아닌 경우에 상기 4비트의 제2데이터중 제2비트 데이터로 "1"을 발생하는 제5조합 회로;

상기 3비트의 출력 데이터중 제1 및 제2비트 데이터가 "10"인 경우 또는 제1, 제2, 및 제3비트 데이터가 "000"인 경우에 상기 4비트의 제2데이터중 제3비트 데이터로 "1"을 발생하는 제6조합 회로; 및

상기 3비트의 출력 데이터중 제1 및 제2비트 데이터가 "00"인 경우, "10"인

경우, 또는 제2 및 제3비트 데이터가 "10"인 경우에 상기 4비트의 제2데이터중 제4비트 데이터로 "1"을 발생하는 제7조합 회로를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 15】

제14항에 있어서, 상기 출력 버퍼는

전원전압과 제1노드사이에 연결되고 상기 4조합 회로의 출력 데이터에 응답하여 온되는 제1PMOS트랜지스터; 및

상기 제1노드와 접지전압사이에 연결되고 상기 제5조합 회로의 출력 데이터에 응답하여 온되는 제1NMOS트랜지스터를 구비한 제1출력 버퍼와,

전원전압과 제2노드사이에 연결되고 상기 제6조합 회로의 출력 데이터에 응답하여 온되는 제2PMOS트랜지스터; 및

상기 제2노드와 접지전압사이에 연결되고 제7조합 회로의 출력 데이터에 응답하여 온되는 제2NMOS트랜지스터를 구비한 제2출력 버퍼를 구비하고,

상기 제1노드를 통하여 상기 3레벨의 가지는 2개의 데이터중 하나의 데이터를 발생하고, 상기 제2노드를 통하여 상기 3레벨을 가지는 2개의 데이터중 다른 하나의 데이터를 발생하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 회로.

【청구항 16】

데이터 입력시에 3레벨을 가지는 2개의 데이터를 입력하여 4비트의 제1데이터를 각각 발생하고,

상기 4비트의 제1데이터를 디코딩하여 3비트의 입력 데이터를 발생하는 데이터 입력 단계; 및

데이터 출력시에 3비트의 출력 데이터를 인코딩하여 4비트의 제2데이터를 발생하고,

상기 4비트의 제2데이터를 입력하여 3레벨을 가지는 2개의 데이터를 출력하는 데이터 출력 단계를 구비하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 17】

제16항에 있어서, 상기 입출력 인터페이스 방법은

데이터 입력시에 상기 3레벨을 가지는 2개의 데이터를 2개의 데이터 입출력 패드들을 통하여 입력하고, 데이터 출력시에 상기 3레벨을 가지는 2개의 데이터를 상기 2개의 데이터 입출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 18】

제16항에 있어서, 상기 입출력 인터페이스 방법은

데이터 입력시에 상기 3레벨을 가지는 2개의 데이터를 2개의 데이터 입력 패드들을 통하여 입력하고, 데이터 출력시에 상기 3레벨을 가지는 2개의 데이터를 2개의 데이터 출력 패드들을 통하여 출력하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 19】

제16항에 있어서, 상기 데이터 입력 단계는

상기 3레벨을 가지는 2개의 데이터가 "00"이면 "0000"인, "0M"("M"은 "0"과 "1"의 중간 레벨의 데이터)이면 "0001"인, "MM"이면 "0101"인, "M1"이면 "0111"인, "M0"이면 "0100"인, "10"이면 "1100"인, "1M"이면 "1101"인, "11"이면 "1111"인 상기 4비트의 제1데이터를 발생하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 20】

제19항에 있어서, 상기 데이터 입력 단계는

상기 4비트의 제1데이터가 "0000"이면 "000"인, "0001"이면 "001"인, "0101"이면 "010"인, "0111"이면 "011"인, "0100"이면 "100"인, "1100"이면 "101"인, "1101"이면 "110"인, "1111"이면 "111"인 상기 입력 데이터를 발생하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【청구항 21】

제16항에 있어서, 상기 데이터 출력 단계는

상기 3비트의 출력 데이터가 "000"면 "1111"인, "001"이면 "1101"인, "010"이면 "0101"인, "011"이면 "0100"인, "100"이면 "0111"인, "101"이면 "0011"인, "110"이면 "0001"인, "111"이면 "0000"인 상기 4비트의 제2데이터를 발생하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

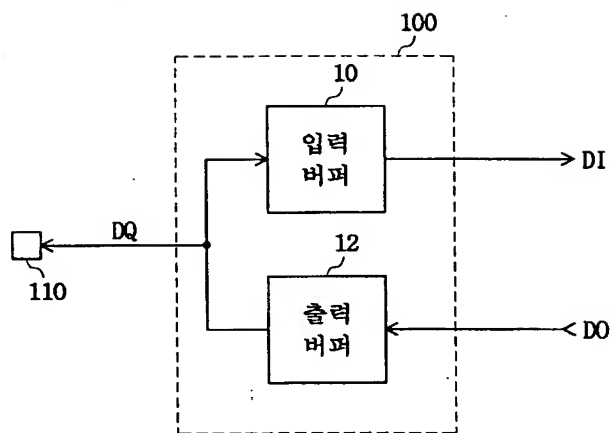
【청구항 22】

제21항에 있어서, 상기 데이터 출력 단계는

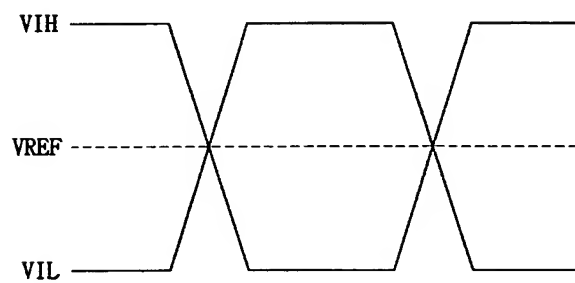
상기 4비트의 제2데이터가 "1111"이면 "00"인, "1101"이면 "0M"("M"은 "0"과 "1"의 중간 레벨의 데이터)인, "0101"이면 "MM"인, "0100"이면 "M1"인, "0111"이면 "M0"인, "0011"이면 "10"인, "0001"이면 "1M"인, "0000"이면 "11"인 상기 3레벨을 가지는 2개의 데이터를 발생하는 것을 특징으로 하는 집적 회로의 입출력 인터페이스 방법.

【도면】

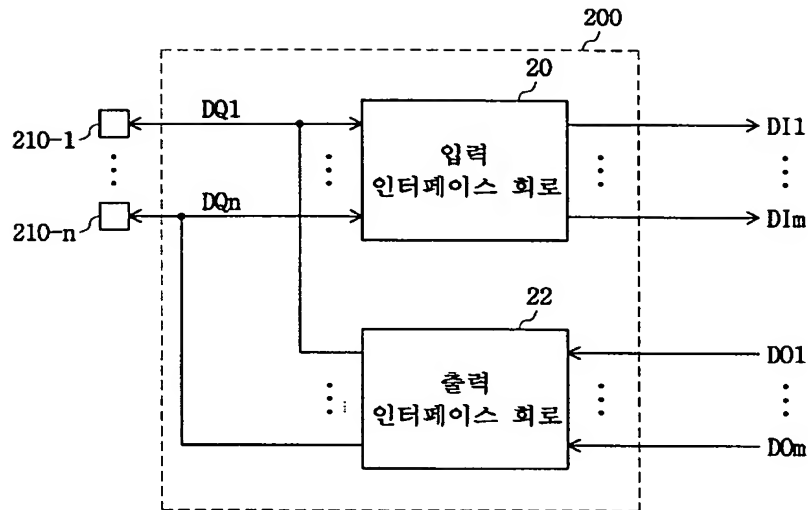
【도 1】



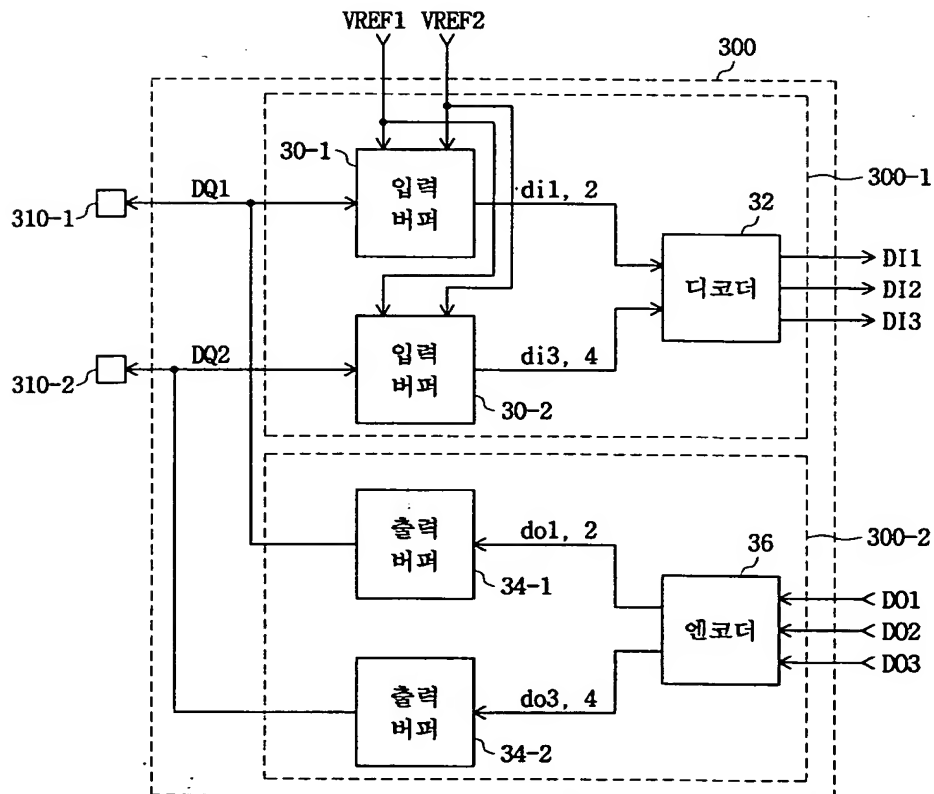
【도 2】



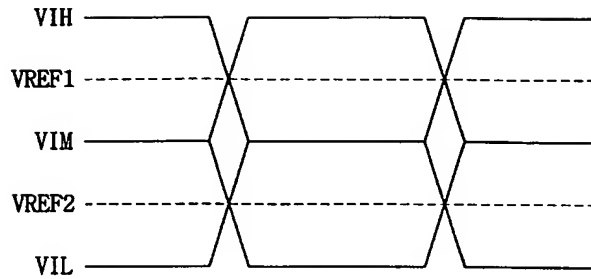
【도 3】



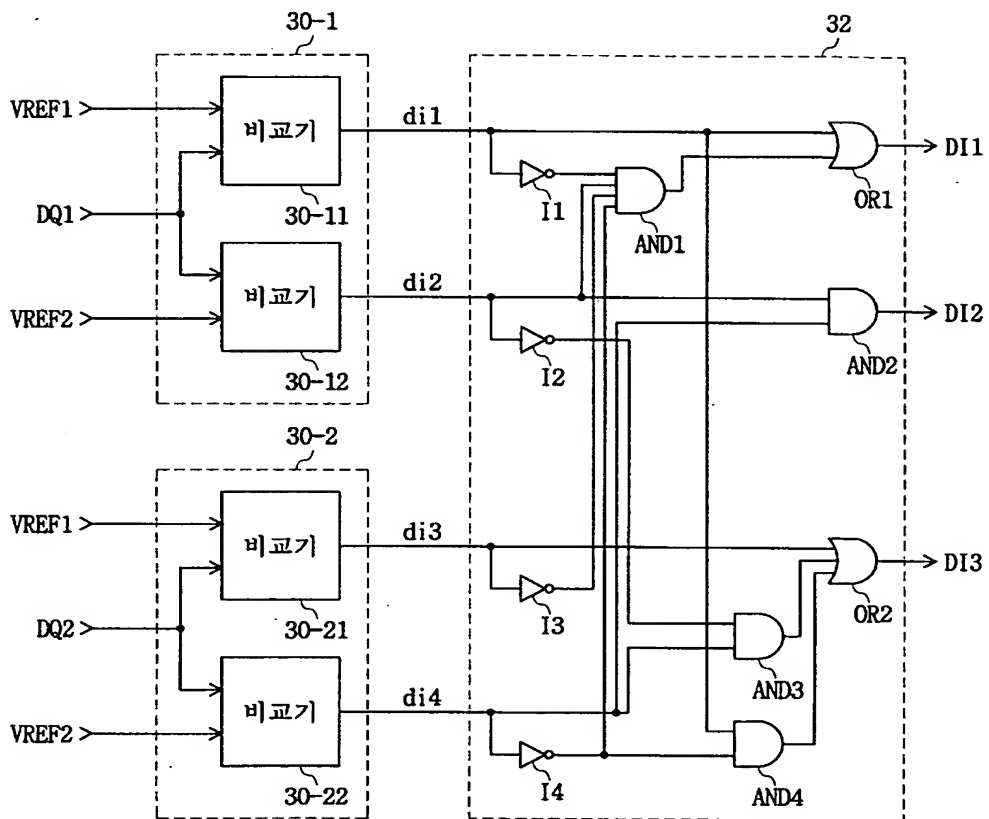
【도 4】



【도 5】



【도 6】



【도 7】

